

PAT-NO: JP02001053218A  
DOCUMENT-IDENTIFIER: JP 2001053218 A  
TITLE: SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF  
PUBN-DATE: February 23, 2001

**INVENTOR-INFORMATION:**

NAME	COUNTRY
TAKAHASHI, KENJIN/A	
NAKAYOSHI, HIDEON/A	
TAKU, SHINYA N/A	
TAKUBO, TOMOAKI N/A	

**ASSIGNEE-INFORMATION:**

NAME	COUNTRY
TOSHIBA CORP N/A	

APPL-NO: JP11226502  
APPL-DATE: August 10, 1999

INT-CL (IPC): H01L025/065 , H01L025/07 , H01L025/18 , H01L021/60

**ABSTRACT:**

**PROBLEM TO BE SOLVED:** To provide a semiconductor device wherein electrodes for stacking a plurality of semiconductor chips are small while the pitch between electrodes is small to sufficiently cope with a case where multiple signal inputs/outputs are required.

**SOLUTION:** In a through-hole 12 formed at a semiconductor substrate 11, an insulating film 13 protruding above the rear side of the semiconductor substrate 11 is formed, and in the through-hole, an electrode 14 comprising a projection 14A protruding beyond the insulating film 13 on the rear side of the semiconductor substrate 11 is embedded. The conductive electrode material protruding above the rear side of the semiconductor substrate 11 is utilized as a part of a bump, so the electrode is smaller and the pitch between electrodes is small while coping with a case where multiple signal inputs/outputs are required.

COPYRIGHT: (C) 2001, JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-53218

(P2001-53218A)

(43) 公開日 平成13年2月23日 (2001.2.23)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード <sup>*</sup> (参考)
H 0 1 L	25/065	H 0 1 L	25/08
	25/07		21/60
	25/18		3 1 1 Q
	21/60		
	3 1 1		

審査請求 未請求 請求項の数 7 O L (全 6 頁)

(21) 出願番号 特願平11-226502

(22) 出願日 平成11年8月10日 (1999.8.10)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 高橋 健司

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(72) 発明者 中吉 英夫

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(74) 代理人 100058479

弁護士 鈴江 武彦 (外6名)

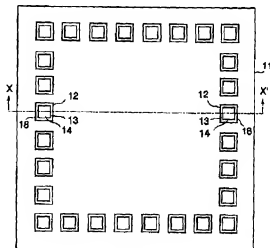
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

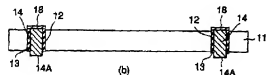
(57) 【要約】

【課題】複数の半導体チップを積み重ねて実装するための電極のサイズ小さくできると共に、電極間のピッチを狭くでき、多数の信号入出力が要求される場合にも充分に対応できる半導体装置を提供することを目的としている。

【解決手段】半導体基板11に形成された貫通孔12内に、この半導体基板の裏面側に突出された絶縁膜13を形成するとともに、この貫通孔内に半導体基板の裏面側で且つ前記絶縁膜よりも突出された突起部14Aを有する電極14を埋め込み形成したことを特徴としている。半導体基板の裏面側に突出した導電性電極材料をバンプの一部として利用することができるので、電極のサイズ小さくできると共に、電極間のピッチを狭くでき、多数の信号入出力が要求される場合にも対応できる。



(a)



(b)

【特許請求の範囲】

【請求項1】 貫通孔を有する半導体基板と、前記貫通孔内の前記半導体基板に形成され、前記半導体基板の裏面側に突出された絶縁膜と、前記貫通孔内に埋め込み形成され、前記半導体基板の裏面側で且つ前記絶縁膜よりも突出された突起部を有する電極とを具備することを特徴とする半導体装置。

【請求項2】 前記半導体基板の主表面側の前記電極上に形成される接合材料層を更に具備することを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記半導体基板の主表面側と裏面側の前記電極が前記接合材料層を介在して電気的に接続されるように複数の半導体基板を積み重ねることを特徴とする請求項2に記載の半導体装置。

【請求項4】 前記積み重ねた複数の半導体基板は、インターポーザ上に実装されることを特徴とする請求項3に記載の半導体装置。

【請求項5】 半導体基板の主表面に所定の深さの開孔を形成する工程と、

前記開孔の内壁に絶縁膜を形成する工程と、

前記開孔内を導電性電極材料で埋め込む工程と、

前記半導体基板の裏面を前記開孔の底部に達しないように機械的に研削する工程と、

前記半導体基板の裏面を前記開孔の底部より浅い位置までエッチングして、前記導電性電極材料を前記半導体基板の裏面から突出させ、前記半導体基板を貫通し、且つ裏面側に突起部を有する電極を形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項6】 前記開孔内を導電性電極材料で埋め込む工程の後に、前記半導体基板の主表面側の前記導電性電極材料上に、接合材料層を形成する工程を更に具備することを特徴とする請求項5に記載の半導体装置の製造方法。

【請求項7】 前記半導体基板の裏面を前記開孔の底部に達しないように機械的に研削する工程の前に、前記半導体基板の主表面側から最底的なチップ厚よりも深いダイシング溝を形成する工程を更に具備することを特徴とする請求項5または6に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、半導体チップを貫通する電極を有する半導体装置及びその製造方法に関し、例えば大きな記憶容量を得るために複数のメモリチップを積層して実装する技術に関する。

【0002】

【従来の技術】 半導体装置、例えば半導体記憶装置においては、素子の微細化による高集積化、記憶容量の大容量化、高機能化、動作速度の高速化等の様々な要求がなされている。これらの要求の中でも、特に記憶容量の増大に対する要求が高いが、必ずしも素子の微細化に製造

技術が対応できていない。

【0003】このような問題を解決する一つの技術として、複数のメモリチップを積層して実装することにより、見かけ上の記憶容量を増大させる技術が提案されている。

【0004】上記複数のメモリチップを積層する際には、例えばメモリチップに貫通孔を形成し、この貫通孔の側壁に絶縁膜を形成した後、貫通孔内に導電性電極材料を埋め込んで電極を形成している。そして、上記電極上にメッキなどでバンプを形成し、このバンプを介在して複数のメモリチップの電極面を接続することにより、見かけ上の記憶容量を増大させている。

【0005】上記バンプの形成に際しては、まず、図4(a)に示すように、半導体基板(シリコン基板)31の貫通孔30内に、絶縁膜32を介在して導電性電極材料を埋め込んで電極33を形成し、この電極33上にアルミニウム等からなるパッド34を形成した後、全面をパッシベーション膜35で覆う。次に、上記パッド34上のパッシベーション膜35をエッチングなどで選択的に除去して、パッド34の表面を露出させる。引き続き、図4(b)に示すように全面にバリアメタル層36を形成した後、図4(c)に示すようにパッド34上以外の部分をフォトリソグラフィでマスクする。その後、図4(d)に示すように露出されているバリアメタル層36上にメッキを行い、メッキ層(バンプ)38を形成する。次に、図4(e)に示すようにレジスト37を除去する。そして、図4(f)に示すようにウェットエッチングを行って、パッシベーション膜35上に残存されているバリアメタル層36を除去する。

【0006】しかしながら、上記のような構成並びに製造方法では、図4(f)に示したバリアメタル層36の除去工程において、バンプ38の端部下の領域39a、39bがオーバーエッチングされる。このため、充分な信頼性を確保するためにバンプサイズを小さくできず、隣接する各バンプ38間にも一定の距離が必要となり、ピッチは200μm程度までしか詰められない。この結果、サイズの小さなチップでは、高機能化されて多数の入出力信号が必要となっている半導体記憶装置等に適用するのが難しくなっている。

【0007】また、パッケージを薄型化するために、チップの裏面を研削及び研磨してチップ厚を薄くする場合、ウェーハを得てからバンプ38の形成を行う必要があるため、搬送中やバンプ形成のためのメッキ時に、ウェーハにクラックが入ったり割れやすい恐れがある。経験値では、ウェーハ厚の最小値を $t_{min}$ 、ウェーハ径を $d$ とすると、 $t_{min} < d/1000$ 程度までが限界である。

【0008】

【発明が解決しようとする課題】 上記のように従来の半導体装置及びその製造方法では、バンプサイズを充分小

さくでず、パンプ間のピッチが詰められないという問題があった。

【0009】また、メモリチップの裏面を研削及び研削してチップ厚を薄くする場合、搬送中やパンプ形成のためのメッキ時にウェーハにクラックが入ったり割れたりするという問題があった。

【0010】この発明は上記のような事情に鑑みてなされたもので、その目的とするところは、複数の半導体チップを積み重ねて実装するための電極のサイズ小さくできると共に、電極間のピッチを狭くでき、多数の信号入出力が要求される場合に充分に対応できる半導体装置を提供することにある。

【0011】また、この発明の他の目的は、搬送中やメッキ時にウェーハにクラックが入ったり割れたりするのを防止できる半導体装置の製造方法を提供することにある。

【0012】更に、この発明の他の目的は、ウェーハの分割工程と貫通孔への導電性電極材料の埋め込みによる電極の形成工程とを同時にでき、製造工程の簡単化が図れる半導体装置の製造方法を提供することにある。

【0013】

【課題を解決するための手段】この発明の半導体装置は、貫通孔を有する半導体基板と、前記貫通孔内の前記半導体基板に形成され、前記半導体基板の裏面側に突出された絶縁膜と、前記貫通孔内に埋め込み形成され、前記半導体基板の裏面側で且つ前記絶縁膜よりも突出された突起部を有する電極とを具備することを特徴としている。

【0014】また、この装置において、次のような特徴を備えている。

【0015】前記半導体基板の主表面側の前記電極上に形成される接合材料層を更に具備する。

【0016】前記半導体基板の主表面側と裏面側の前記電極が前記接合材料層を介して電気的に接続されるように複数の半導体基板を積み重ねる。

【0017】前記積み重ねた複数の半導体基板は、インターポーザ上に実装される。

【0018】更に、この発明の半導体装置の製造方法は、半導体基板の主表面に所定の深さの開孔を形成する工程と、前記開孔の内壁に絶縁膜を形成する工程と、前記開孔内を導電性電極材料で埋め込む工程と、前記半導体基板の裏面を前記開孔の底部に達しないように機械的に研削する工程と、前記半導体基板の裏面を前記開孔の底部より浅い位置までエッチングして、前記導電性電極材料を前記半導体基板の裏面から突出させ、前記半導体基板を貫通し、且つ裏面側に突起部を有する電極を形成する工程とを具備することを特徴としている。

【0019】そして、上記製造方法において、次のような特徴を備えている。

【0020】前記開孔内を導電性電極材料で埋め込む工

程の後に、前記半導体基板の主表面側の前記導電性電極材料上に、接合材料層を形成する工程を更に具備する。

【0021】前記半導体基板の裏面を前記開孔の底部に達しないように機械的に研削する工程の前に、前記半導体基板の主表面側から最終的なチップ厚よりも深いダイシング溝を形成する工程を更に具備する。

【0022】上記のような構成によれば、半導体基板の裏面側に突出した導電性電極材料をパンプとして利用することができるので、パンプ間のピッチを狭くして、多数の信号入出力が要求される場合にも対応できる。

【0023】また、上記のような製造方法によれば、機械的な研削及び研磨によって効率よくウェーハを薄くでき、エッチングによって電極を突出させることができる。

【0024】更に、接合材料層はウェーハを薄くする前に形成するので、搬送中や接合材料層の形成のためのメッキ時にウェーハにクラックが入ったり割れたりするのを防止できる。

【0025】しかも、機械的な研削及び研磨の前にダイシング溝を形成しておけば、ウェーハの分割工程と貫通孔への電極材料の埋め込みによる電極の形成工程とを同時にでき、製造工程の簡単化が図れる。

【0026】

【発明の実施の形態】以下、この発明の実施の形態について図面を参照して説明する。図1(a)、(b)はこの発明の第1の実施の形態に係る半導体装置について説明するためのもので、(a)図はチップの平面図、(b)図は(a)図のX-X'線に沿った断面図である。また、図2(a)、(b)は上記図1(a)、

(b)に示した半導体装置を実装した状態を示すもので、(a)図は斜視図、(b)図は断面図である。

【0027】図1(a)、(b)に示す如く、半導体基板(例えば半導体メモリチップ)11には、四辺に沿って貫通孔12、12、...が形成されている。これらの貫通孔12、12、...内の半導体基板11表面には酸化シリコン等の絶縁膜13が形成されており、この絶縁膜13は半導体基板11の裏面側に突出している。また、上記貫通孔12内には、上記絶縁膜13が介在されることにより、上記半導体基板11と絶縁された状態で銅(Cu)やタングステン(W)等の導電性の材料からなる電極14が設けられている。この電極14は、基板11の裏面側で且つ上記絶縁膜13よりも突出した突起部14Aを有する。そして、上記電極14における基板11の主表面側には、接合材料層18が形成されている。

【0028】上記構造の半導体基板11は、図2(a)、(b)に示すように、複数個が積み重ねられてインターポーザ15上に搭載される。この際、半導体メモリチップ11-1における電極14の突起部14Aは、インターポーザ15上に実装され、電気的に接続される。上記半導体メモリチップ11-2における電極1

4の突起部14Aは、上記半導体メモリチップ11-1における電極14上の接合材料層18上に実装され、電気的に接続される。上記半導体メモリチップ11-3、11-4も同様に、半導体メモリチップ11-2、11-3上にそれぞれ実装され、電気的に接続される。

【0029】また、上記インターポーザ15上には、上記半導体メモリチップ11-1〜11-4に隣接して、ロジックチップ16が実装されている。上記各半導体メモリチップ11-1〜11-4とロジックチップ16は、上記インターポーザ15の裏面側に形成された半田

ボール17、17、…と電気的に接続されている。  
【0030】このような構成によれば、半導体基板11の裏面側に突出した電極14の突起部14Aを、従来のパンパと同様に用いることができるので、電極14のサイズを小さくし、且つ電極14間のピッチを狭くして、多数の信号入出力が要求される場合にも充分に対応できる。

【0031】なお、上記電極14の材料としては、上述したCuやW以外にも、これらを含む合金や、Al、Mo、ポリシリコン、Au、あるいはこれらを含む合金等を用いることができる。また、上記接合材料層18としては、Au、Pb/Sn、Sn、Au/Sn、Sn/Sn、Sn/Ir、Sn/Bi等を用いることができる。

【0032】次に、上述した半導体装置の製造方法について説明する。図3(a)乃至(c)はそれぞれ、上記半導体装置における電極14とその近傍を拡大して製造工程順に示している。

【0033】まず、図3(a)に示すように、半導体基板11の主表面に所定の深さの開孔21を形成し、この開孔21の内壁に熱酸化やCVD法により、酸化シリコン等の絶縁膜13を形成する。その後、CVD法により全面に導電性電極材料14を形成し、開孔21内をこの電極材料14で埋め込む。次に、基板11上の絶縁膜13と導電性電極材料14を除去する。引き続き、基板11の主表面側の上記電極材料14上に、接合材料層18を形成する。

【0034】次に、図3(b)に示すように、上記基板11の主表面側から、この基板(チップ)11の最終的な厚さよりも深いダイシング溝22を形成した後、上記基板11の裏面を上記開孔21の底部及び上記ダイシング溝22の底部に達しない深さまで機械的に研削する。

【0035】そして、図3(c)に示すように、上記基板11の裏面を開孔21の底部より浅い位置までエッチングして、電極材料14を半導体基板11の裏面から突出させる。これによって、基板11を貫通し、裏面側に突起部14Aを有する電極14を形成する。この際、絶縁膜13が基板11の裏面側に突出される。また、このエッチング工程によって、上記ダイシング溝22に沿ってチップが分割される。

【0036】このような製造方法によれば、機械的な研

削及び研削によって効率よくウェーハを薄くでき、エッチングによって電極14を突出させることができる。

【0037】また、接合材料層18はウェーハを薄くする前に形成するので、搬送中や接合材料層の形成のためのメッキ時にウェーハにクラックが入ったり割れたりするのを防止できる。

【0038】しかも、機械的な研削及び研削の前にダイシング溝22を形成しておくので、ウェーハの分割工程と貫通孔への電極材料の埋め込み工程とを同時にでき、製造工程の簡単化が図れる。

【0039】更に、バリアメタルを用いないので、10μm以下までパンパ間のピッチを詰めることができ、パンパ間のピッチを狭くして、多数の信号入出力が要求される場合にも容易に対応できる。

【0040】

【発明の効果】以上説明したように、この発明によれば、複数の半導体チップを積み重ねて実装するための電極のサイズ小さくできると共に、電極間のピッチを狭くでき、多数の信号入出力が要求される場合にも充分に対応できる半導体装置が得られる。

【0041】また、搬送中やメッキ時にウェーハにクラックが入ったり割れたりするのを防止できる半導体装置の製造方法が得られる。

【0042】更に、ウェーハの分割工程と貫通孔への導電性電極材料の埋め込みによる電極の形成工程とを同時にでき、製造工程の簡単化が図れる半導体装置の製造方法が得られる。

【図面の簡単な説明】

【図1】この発明の第1の実施の形態に係る半導体装置について説明するための平面図及び断面図。

【図2】図1に示した半導体装置を実装した状態を示す斜視図及び断面図。

【図3】この発明の第1の実施の形態に係る半導体装置の製造方法について説明するためのもので、半導体装置における電極とその近傍を拡大して製造工程順に示す断面図。

【図4】従来の半導体装置及びその製造方法について説明するためのもので、パンパの形成工程を順次示す断面図。

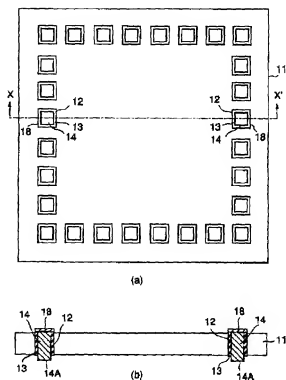
【符号の説明】

- 11、11-1〜11-4…半導体基板(半導体メモリチップ)、
- 12…貫通孔、
- 13…絶縁膜、
- 14…電極、
- 14A…突起部、
- 15…インターポーザ、
- 16…ロジックチップ、
- 17…半田ボール、
- 18…接合材料層、

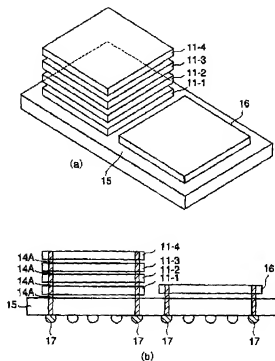
21...開孔、

22...ダイシング溝。

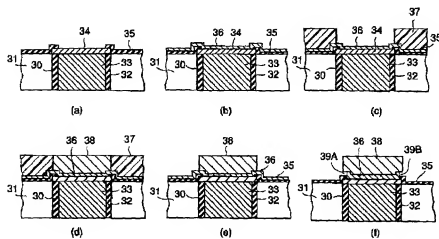
【図1】



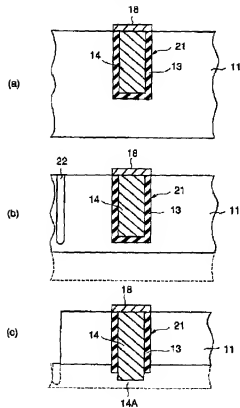
【図2】



【図4】



【図3】




---

フロントページの続き

(72)発明者 田久 真也  
 神奈川県川崎市幸区小向東芝町1番地 株  
 式会社東芝マイクロエレクトロニクスセン  
 ター内

(72)発明者 田窪 知章  
 神奈川県川崎市幸区小向東芝町1番地 株  
 式会社東芝マイクロエレクトロニクスセン  
 ター内

Fターム(参考) 5F044 KK01 LL01 QQ02 QQ04 RR03